

Surface-mounted semiconductor device

Patent Number: DE19600401

Publication date: 1997-07-17

Inventor(s):

Applicant(s): SIEMENS AG (DE)

Requested Patent: ☐ DE19600401

Application Number: DE19961000401 19960108

Priority Number(s): DE19961000401 19960108

IPC Classification: H01L23/488; H01L23/495; H01L21/56; H01L21/60; H01L27/10; H05K1/18

EC Classification: H01L23/498C4, H01L23/31H2, H05K3/34C

Equivalents:

Abstract

A semiconductor element is coupled to a large number of input/output terminals using electrical terminal tags (4) around the outer peripheral edge of the semiconductor element in combination with a ball grid array (5) on the underside of the semiconductor component. Pref. the semiconductor component has a polyester carrier (1), a chip (2) and a protective layer (3), with bonding wires (6) pref. provided between the chip input/output terminals and the terminal tags around the periphery of the chip.

Data supplied from the esp@cenet database - I2





DEUTSCHES
PATENTAMT

- ⑪ Aktenzeichen: 196 00 401.2
 ⑫ Anmeldetag: 8. 1. 98
 ⑬ Offenlegungstag: 17. 7. 97

H 01 L 23/495
 H 01 L 21/58
 H 01 L 21/60
 H 01 L 27/10
 H 05 K 1/18

⑦① Anmelder:
 Siemens AG, 80333 München, DE

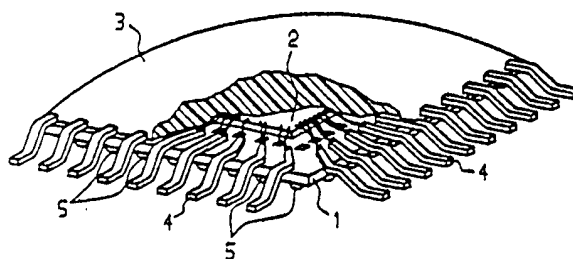
⑦② Erfinder:
 Erfinder wird später genannt werden

⑤⑥ Entgegenhaltungen:
 productronic 7-1995, S. 28-33;
 IEEE TRANSACTIONS ON COMPONENTS,
 HYBRIDS, AND MANUFACTURING TECHNOLOGY,
 Vol. 18, Nr. 4, Juni 1993, S. 398-401;
 IBM Technical Disclosure Bulletin, Vol. 36, Nr. 12,
 Dez. 1993, S. 699;

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterbauelement

⑤⑦ Die Weiterentwicklung von Halbleiterbauelementen ist mit einer schnellsteigenden Anzahl von Ein/Ausgabe-Anschlüssen verbunden. Um die Gehäusebauformen nicht zu groß auszubilden, werden die internen Strukturen regelmäßig verkleinert. Dies stößt bei jeder "reinrassigen" Technologie schnell an Handhabungsgrenzen. Es wird der kombinierte Einsatz von am äußeren Rand eines Halbleiterbauelementes angeordneten elektrischen Anschlußbeinchen (4) und von an der Unterseite des Halbleiterbauelementes angeordneten Lotkugeln (5) beschrieben. Hierdurch kann eine mit einer erhöhten Fehlerrate verbundene Miniaturisierung vermieden werden.



Die Erfindung betrifft ein Halbleiterbauelement mit einer hohen Anzahl von Ein/Ausgabe-Anschlüssen. Hierzu werden sowohl die Kontaktiermöglichkeiten über Anschlußbeinchen, als auch die über Lotkugeln betrachtet.

Die laufende Entwicklung bei Halbleiterbauelementen geht einher mit fortschreitender Miniaturisierung und beispielsweise auch mit einer Erhöhung der Ein-/Ausgabe-Anschlüsse (Anschlußflecken auf dem Chip bzw. Außenkontaktelemente). Ein seit langem verwendetes System sieht die Außenkontaktierung in Form von einer Vielzahl von Anschlußbeinchen vor. Ist die Zahl der Anschlußbeinchen sehr hoch, so spricht man von High Density Packaging oder von Fine Pitch. Diese äußeren Kontaktierelemente sind heutzutage weitgehend als Oberflächenmontageelemente ausgebildet. Der Anteil einer Einsteckmontage in entsprechende Bohrungen einer Leiterplatte ist relativ gering. Der beispielsweise in einem Leadframe zentral positionierte Chip, dessen elektrische Kontaktierung nach außen hin behandelt wird, muß zur Herstellung des gesamten Halbleiterbauelementes in irgendeiner Form getragen werden. Ein wesentlicher Anteil von Halbleiterbauelementen ist mit einer aus Kunststoff bestehenden Schutzhülle umgeben, die auch die inneren Teile der Kontaktiermittel umschließt. Andere Einbausysteme sehen vor, daß beispielsweise nur der Chip mit den nächstliegenden elektrischen Anschlüssen durch eine von oben aufgebraute Kunststoffschicht (Globe Top) geschützt wird, wie beispielsweise in der Direktmontage, bei der eine derart umgekapselte integrierte Schaltung direkt auf Verdrahtungselemente kontaktiert wird.

Eine Direktmontage könnte beispielsweise am einfachsten die Forderung nach hoher Leistungsfähigkeit, Miniaturisierung und Zuverlässigkeit erfüllen. Es treten jedoch Probleme bezüglich der Verfügbarkeit und der Spezifikation von Chips gegenüber neuen Kontaktierverfahren auf. Ähnliches gilt für die Technologie der Multichipmodule, der Drahtkontaktierung in Form von COB (Chip-On-Board), des TAB (Tape Automated Bonding) und anderen Verfahren. So ist teilweise versucht worden, eine "reinrassige" Technik auszubilden und Schwierigkeiten, die beispielsweise bei der Miniaturisierung auftreten, wurden in Kauf genommen bzw. überwunden.

Für die Darstellung eines Halbleiterbauelementes mit elektrischen Anschlußbeinchen (Oberflächenmontage) im Bereich des Fine-Pitch gilt beispielsweise zur Zeit, daß ein Rastermaß von 0,5 mm einigermaßen zuverlässig durch die einzelnen Stationen der Fine-Pitch-Prozesskette geschleust werden kann. In allen Teilbereichen der Fine-Pitch-Technologie, beispielsweise beim Lotpastenauftrag oder bei den Bestückautomaten (Lagegenauigkeit) wurde weiter optimiert. Ein QFP 208 (Quad Flat Package) hat beispielsweise bei einer Kantenlänge von 31 mm ein Raster von 0,5 mm. Wesentlich problematischer stellt sich die Version QFP 304 dar. Diese zeigt bei einer Kantenlänge von 42 mm 304 Anschlußbeinchen (High Pin Count). Hierbei ist beispielsweise die Beinchenkoplanarität im Zusammenhang mit der Leiterplattenverwölbung beim Unterschreiten der Loterstarrungstemperatur Ursache einer erhöhten Fehlerate. Darüber hinaus muß die Drehgenauigkeit eines Bestückautomaten höchsten Anforderungen genügen.

Als eine der neuesten Einbautechnologien bzw. Gehäuseformen ist das Ball Grid Array bekannt. Dies ist

2
eine Weiterentwicklung bzw. ein Derivat des PGA (Pin Grid Array), welches eine Steckbauform darstellt. Bezüglich dieser Technologie liegen heute bereits eine Reihe von genormten Parametern vor. Die wichtigsten Normgrößen sind Rastermaß, Gehäuseabmessungen und Koplanarität. Beim BGA können beispielsweise bei einer Kantenlänge von 31 mm und einem Lotkugelabstand von 1,5 mm (Bump Pitch) theoretisch 400 Lotkugeln aufgebracht werden. Bei einem Bump Pitch von 1 mm sind es theoretisch 900 Lotkugeln bzw. Anschlüsse. Die Vorteile beim BGA liegen darin, daß die Anforderungen an eine Koplanarität stark reduziert bzw. einfach zu erfüllen sind. Die Technik ist relativ robust, so daß eine geringe Lötfehlerrate erzielbar ist. Beim Lötentrifft ein ausgeprägter Selbstzentriereffekt auf.

Die Vor- und Nachteile der jeweiligen reinrassigen Technologien sind hinlänglich bekannt.

Wie oben erwähnt, werden die steigenden Leistungsanforderungen an Halbleiterbauelemente in der Regel durch erhöhte Chipgröße und erhöhte Zahl von Ein-/Ausgangs-Anschlüssen erfüllt. Ein QFP mit einer Kantenlänge von 40 mm und einem Beinchenabstand von 0,5 mm kann beispielsweise ca. 270 Ein/Ausgabe-Anschlüsse enthalten. Gefertigt werden jedoch heute bereits Halbleiterbauelemente mit bis zu 500 Ein/Ausgabe-Anschlüssen, bei einer Chipgröße von ca. 200 mm² (DRAM) bzw. 400 mm² (Logik/Mikroprozessor). Eine Abschätzung für die nächsten 5 Jahre weist eine Ein/Ausgabe-Anzahl von bis zu 2000 bei einer Chipgröße von 500 mm² (DRAM) bzw. 800 mm² (Logik/Mikroprozessor) auf. Das jeweilige Chipgehäuse ist entsprechend größer.

Aus den bisher genannten Informationen wird deutlich, daß die Halbleiterhersteller mit Bauelementen und Anordnungen mit sehr großer Chipgröße konfrontiert sein werden, bei denen eine entsprechend hohe Anzahl von Ein/Ausgabe-Anschlüssen in naher Zukunft vorhanden sein wird. Zumindest drei Dinge können zur genügenden Gehäuseausgestaltung getan werden:

1. Erhöhung der Chipgröße, um diese auf die hohe Anzahl von Ein/Ausgabe-Anschlüssen anzupassen, was eine große Bauelementeanordnung zur Folge hat.
2. Reduzierung des Abstandes der Ein/Ausgaberadung, was einer Miniaturisierung des Bauelementes gleichkommt.
3. Eine Kombination von 1. und 2.

Eine jede der obengenannten Möglichkeiten beinhaltet jedoch spezifische Einschränkungen. Wenn die Bauelementgröße entsprechend der zunehmenden Chipgröße steigt, so werden mechanische Spannungen und Verbiegungen der Halbleiterbauelemente (v.a. bei dünnen Bauelementen) ansteigend und somit Probleme bezüglich der Zuverlässigkeit und Genauigkeit aufwerfen. Entsprechend Punkt 2. ist anzumerken, daß damit oft eine Einschränkung bezüglich der Eigenschaften und Möglichkeiten in bezug auf das Waferniveau und die Verdrahtung nach außen hin an entsprechend dicht sitzende Anschlüsselemente verbunden ist. Hierzu wären erhöhte Anstrengungen für die Waferfertigungstechnologie und beispielsweise auch für die Verdrahtungstechnologie nötig. Letztendlich ist, wenn die Lösung nach Punkt 3. herkömmlich optimiert wird und auf einen stabilen Fertigungsprozeß zum Verdrahten (Wire bonding) zurückgegriffen werden kann, eine Anzahl von bis zu 5000 Drähten zu bearbeiten.

Zusammenfassend kann gesagt werden, daß die angegebenen Lösungen jedoch nur bei einer entsprechenden Chipgröße bei einer jeweilig entsprechenden oberen Grenze von Ein/Ausgabe-Anschlüssen machbar ist. Wie bereits erwähnt, erreichen wir heutzutage mit der herkömmlichen Technologie bald die Grenze des fertigungstechnisch Machbaren.

Der Erfindung liegt die Aufgabe zugrunde, ein Konzept für ein Halbleiterbauelement zu Verfügung zu stellen, das gleichzeitig die Anforderung einer großen Anzahl von Ein/Ausgabe-Anschlüssen bei entsprechend kleinem Chipgehäuse erfüllt.

Die Lösung dieser Aufgabe geschieht durch die Merkmale des Anspruchs 1.

Vorteilhafte Ausgestaltungen können den Unteransprüchen entnommen werden.

Der Erfindung liegt die Erkenntnis zugrunde, daß die Kombination zweier Technologiekonzepte, nämlich Kontaktierung über seitwärts nach außen geführte Anschlußelemente (Anschlußbeinchen) gleichzeitig mit der Kontaktierung über Lotkugeln nach unten hin, wesentliche Verbesserungen für Halbleiterbauelemente mit hoher Ein/Ausgabe-Zahl erbringt. Diese kombinierte Kontaktierung ermöglicht im Bereich der Kontaktierung mittels Anschlußbeinchen den Einsatz eines einfach zu handhabenden groben Rasters, das mit einem nicht zu unterschreitenden minimalen Beinchenabstand verbunden ist. Somit werden Fertigungseinheiten, beispielsweise bei der Bestückung, kostengünstig ausgeführt und die Fehlerrate bleibt entsprechend niedrig. Auf der Seite der gleichzeitig durchgeführten Kontaktierung über Lotkugeln nach unten hin läßt sich ein ebenfalls fertigungstechnisch unproblematisches Raster einsetzen und eine insgesamt hohe Anschlußzahl verwirklichen. Somit können insgesamt die Nachteile beider einzeln für sich betrachteten Technologien vermieden werden und deren Vorteile gleichzeitig ausgenutzt werden. Insgesamt können überdurchschnittliche Entwicklungs- und Fertigungskosten vermieden werden, die bei der Weiterführung beispielsweise im Fine-Pitch-Bereich bei entsprechender herkömmlicher Weiterentwicklung nötig wären.

Im folgenden wird anhand von schematischen Figuren ein Ausführungsbeispiel beschrieben.

Fig. 1 zeigt ein Bauelement, das gleichzeitig über Anschlußbeinchen 4 und Lotkugeln 5 nach außen hin kontaktierbar ist,

Fig. 2 zeigt ein Halbleiterbauelement entsprechend Fig. 1 in der Seitenansicht und teilweise geschnitten dargestellt,

Fig. 3 zeigt eine Draufsicht auf ein Halbleiterbauelement entsprechend Fig. 1,

Fig. 4 zeigt eine Unteransicht eines Halbleiterbauelementes entsprechend Fig. 1.

In der Fig. 1 wird ein Halbleiterbauelement mit ungefähr quadratischer Grundfläche dargestellt. Das Halbleiterbauelement besteht aus einem Träger 1, dem Chip 2 und einer Schutzschicht 3. Der Träger 1 kann aus üblichem Material, beispielsweise ein übliches Leiterplattenmaterial Polyester oder ähnlichem bestehen. Als Chip 2 werden in diesem Fall großflächige Chips mit einer hohen Anzahl von elektrischen Ein/Ausgabe-Anschlüssen betrachtet. Die in den Fig. 1 und 2 dargestellten Chips 2 sind mit Ein/Ausgabe-Anschlüssen versehen, die umlaufend an dessen Rand platziert sind. Die in Fig. 1 verwendete Schutzschicht ist eine von oben aufgebraachte Kunststoffmasse, die jedoch das Halbleiterbauelement nicht vollständig einhüllt. Diese Version

der Schutzschicht wird als Glasse Top bezeichnet. Weiterhin enthält das Halbleiterbauelement elektrische Anschlußelemente, die in diesem Fall aus Anschlußbeinchen 4 und aus Lotkugeln 5 kombiniert dargestellt werden. Die Anschlußbeinchen 4 sind direkt oder mittelbar auf dem Träger 1 mechanisch befestigt und nach außen hin für die Oberflächenmontage vorbereitet. Da in diesem Fall ein Halbleiterbauelement mit einer hohen Anzahl von Ein/Ausgabe-Anschlüssen betrachtet wird, sind entsprechend der Fig. 3 und 4 die Anschlußbeinchen umlaufend angeordnet (QFP). Die elektrische Kontaktierung der Anschlußbeinchen 4 geschieht über Bonddrähte 6, die die Ein/Ausgabe-Anschlüsse des Chips 2 mit den inneren Enden der Anschlußbeinchen verbinden.

In den Fig. 1 und 2 ist erkennbar, daß die elektrische Kontaktierung des Chips 2 nach außen hin einerseits über die Anschlußbeinchen 4 in Richtung der Schmalseiten des Halbleiterbauelementes geschieht und andererseits nach unten hin über die Lotkugeln 5. Hierzu müssen die Lotkugeln 5 mit in dem Träger vorhandenen Durchkontaktierungen verbunden sein, die ihrerseits über Bonddrähte 6 mit den Ein/Ausgabe-Anschlüssen des Chips 2 elektrisch verbunden sind. In Fig. 2 ist lediglich eine Doppelreihe von Lotkugeln 5 angedeutet, die umlaufend ausgebildet sein kann. Selbst diese relativ geringe Anzahl von Kontaktierungen nach unten hin ermöglicht eine grobere Rasterung der Anschlußbeinchen 4, so daß die Nachteile einer immer höher entwickelten Fine-Pitch-Technologie ausgeschaltet werden können.

Die Fig. 3 zeigt die Draufsicht auf ein Halbleiterbauelement entsprechend der Fig. 1 und 2.

Die Fig. 4 zeigt die Unteransicht eines Halbleiterbauelementes entsprechend Fig. 3. In diesem Fall ist eine Anzahl von Anschlußbeinchen 4 von 4×13 und eine Anzahl von Lotkugeln 5 von 12×12 dargestellt worden. Diese Ausführung ist mit einer aufwendigeren Konstruktion bezüglich der durch Kontaktierung durch den Träger 1 in Richtung auf die Lotkugeln 5 verbunden. Hier kann beispielsweise eine einfache mehrlagige Leiterplatte eingesetzt werden.

Das vorgeschlagene kombinierte Konzept mit der Kombination zweier reinrassiger Kontaktierungstechnologien ermöglicht die praktische Darstellung eines Halbleiterbauelementes mit einer hohen Anzahl von Ein/Ausgabe-Anschlüssen. Beispielsweise kann damit ein QFP-Halbleiterbauelement mit 160 Anschlußbeinchen (Ein/Ausgabe-Anschlüsse) behandelt werden. Dieses Element weist einen Beinchenabstand von 0,65 mm bei einer Baugröße von 28×28 mm auf. Daneben gibt es die Ausführungsform eines QFP mit 304 Anschlußbeinchen, einem Beinchenabstand von 0,5 mm und einer theoretischen Größe von 40×40 mm. Wollte man die im vorigen Modell genannte Körpergröße von 28×28 mm beibehalten, so wäre ein Beinchenabstand von 0,25 mm kombiniert mit einer Beinchenanzahl von 388 Anschlußbeinchen 4 (Thin QFP Package) theoretisch möglich. Entsprechend der Erfindung ergibt sich eine vorteilhafte Konstruktion des Halbleiterbauelementes in der Form, daß mit einem Beinchenabstand von 0,65 mm gearbeitet werden kann. Die Lotkugeln 5 weisen einen Abstand von 1,27 mm auf. Die Gesamtanschlußzahl liegt bei 386 (160 Anschlußbeinchen 4 + 256 Lotkugeln 5). Die Außenmaße des Halbleiterbauelementkörpers liegen nach wie vor bei 28×28 mm.

Die erfindungsgemäß genannte Konstruktion weist keinerlei konstruktive Beschränkungen auf, da gängige

Technologien und Materialien verfügbar sind, um dieses Gehäusekonzept durchzuführen. Es können vielmehr thermische und elektrische Verbesserungen durch den Einsatz von Lotkugeln mit eingebracht werden, wie sie teilweise in Veröffentlichungen über Ball Grid Arrays (BGA) bereits beschrieben wurden.

Die in den Figuren dargestellte Schutzschicht 3 in Form der Kunststoffvergußmasse (Globe Top) kann unter Umständen auch durch ein umschließendes Gehäuse (Mold Compound) dargestellt werden. Die elektrische Verbindung der Anschlußbeinchen 4 und der Lotkugeln 5 mit einem Substrat, das ein entsprechendes Raster an elektrischen Kontaktflecken aufweist, kann in einem Arbeitsgang geschehen.

Patentansprüche

1. Halbleiterbauelement, bestehend aus:

- einem Träger (1),
- mindestens einem auf dem Träger (1) aufgebrauchten Chip (2) mit einer Vielzahl von Ein/Ausgabe-Anschlüssen,
- Kontaktiermitteln zur jeweiligen Kontaktierung der Ein/Ausgabe-Anschlüsse des Chips (2) nach außen und
- einer zumindest den Chip (2) und Teile der Kontaktiermittel umschließenden Schutzschicht (3),

wobei die äußeren Abschnitte (4;5) der Kontaktiermittel gleichzeitig von an den Schmalseiten des Halbleiterbauelementes platzierten Anschlußbeinchen (4) und von an der Unterseite des Trägers (1) platzierten Lotkugeln (5) dargestellt sind.

2. Halbleiterbauelement nach Anspruch 1, worin die Anschlußbeinchen (4) zur Oberflächenmontage ausgebildet sind.

3. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, worin die Lotkugeln (5) als Ball Grid Array angeordnet sind.

4. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, worin der Träger (1) eine ein- oder mehrlagige Leiterplatte ist.

5. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, worin die inneren Abschnitte der Anschlußbeinchen (4) über Bonddrähte (6) mit den Ein-/Ausgabe-Anschlüssen des Chips (2) elektrisch verbunden sind.

6. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, worin die Anschlußbeinchen (4) in Form eines Leadframes ausgebildet sind, wobei sich dessen innere Abschnitte bis auf den Chip (2) erstrecken und den Träger des Chips (2) darstellen.

7. Halbleiterbauelement nach Anspruch 6, worin die Lotkugeln (5) direkt auf der Unterseite des Chips (2) angeordnet sind.

Hierzu 2 Seite(n) Zeichnungen

FIG 1

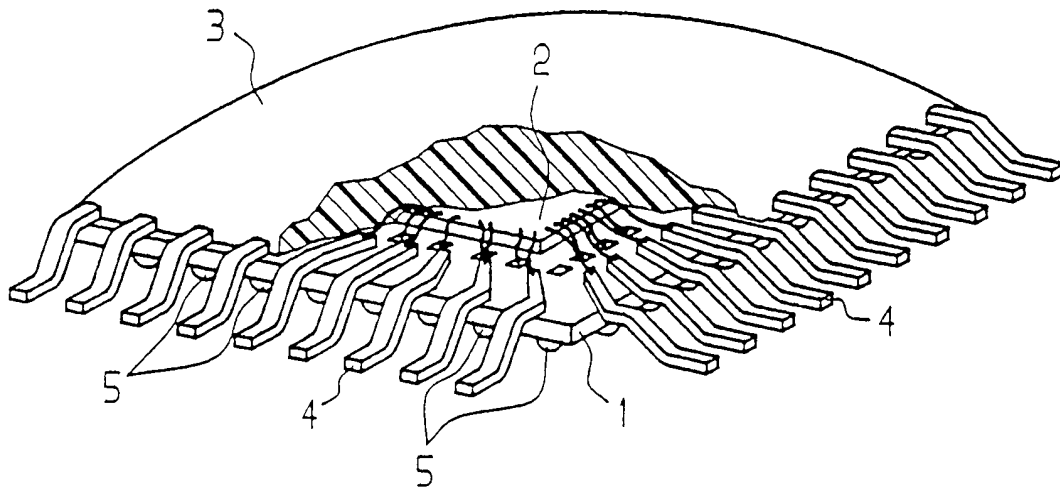


FIG 2

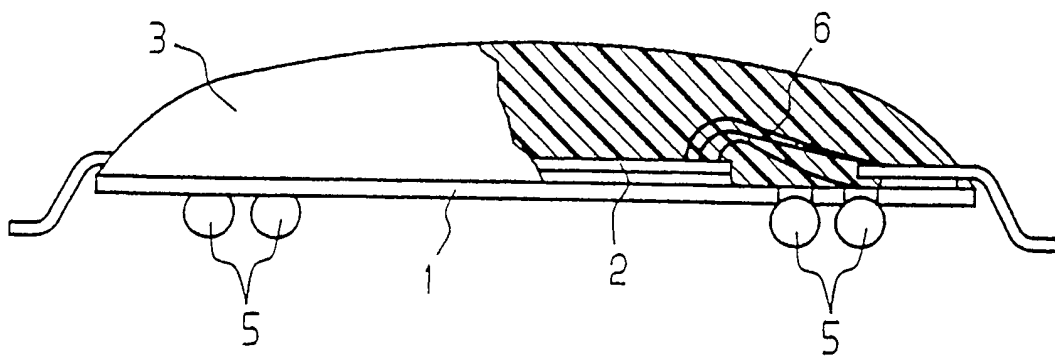


FIG 3

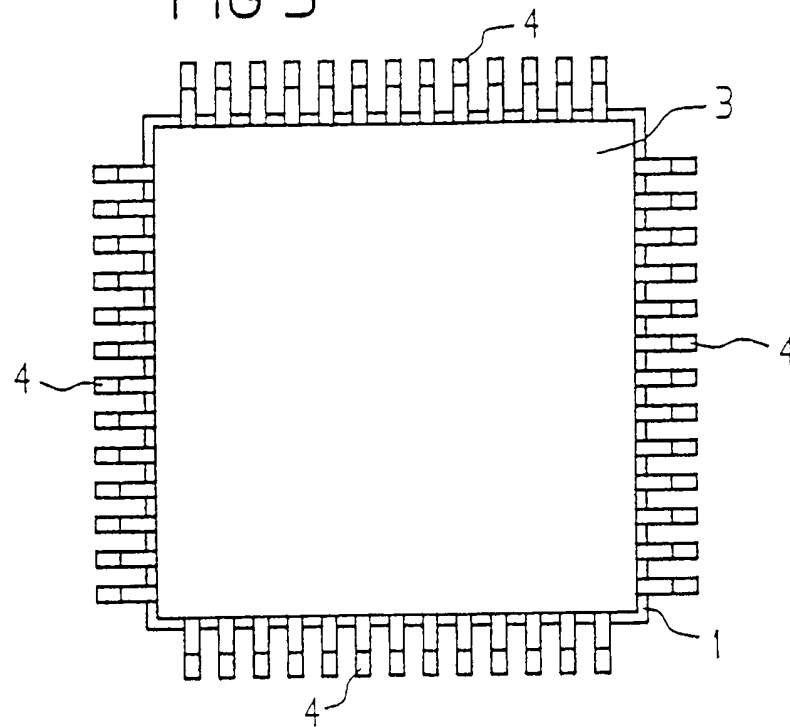


FIG 4

